

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Mitsuaki Osame et al. Art Unit : Unknown
Serial No. : New Application Examiner : Unknown
Filed : December 1, 2003
Title : DATA LATCH CIRCUIT AND ELECTRONIC DEVICE

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:

Japan Application No. 2002-351672 filed December 3, 2002

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: December 1, 2003



John F. Hayden
Reg. No. 37,640

Customer No. 26171
Fish & Richardson P.C.
1425 K Street, N.W., 11th Floor
Washington, DC 20005-3500
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 3 日
Date of Application:

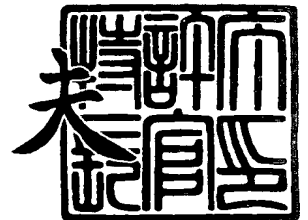
出 願 番 号 特 願 2 0 0 2 - 3 5 1 6 7 2
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 5 1 6 7 2]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s):

2 0 0 3 年 1 0 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 8 9 3 8

【書類名】 特許願

【整理番号】 P006776

【提出日】 平成14年12月 3日

【あて先】 特許庁長官 太田 信一郎 殿

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 納 光明

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 安西 彩

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データラッチ及び電子機器

【特許請求の範囲】

【請求項 1】

デジタル信号を取り込むデータラッチ回路であって、
直列に接続された、容量手段及びインバータと、前記インバータの入力端子及び出力端子の間に設けられたスイッチを有し、
リセット期間において、前記スイッチがオンし、前記インバータの閾値電圧が取得され、前記容量手段の第 1 の電極が前記閾値電圧となり、前記容量手段の第 2 の電極に基準電位が入力され、取り込み期間において、前記容量手段の第 1 の電極にデジタル信号が入力され、前記基準電位からの電位の変動により、前記インバータが前記デジタル信号の 1 または 0 を判定することを特徴とするデータラッチ回路。

【請求項 2】

請求項 1 において、
前記基準電位は前記デジタル信号の 1 の電位及び 0 の電位を用いることを特徴とするデータラッチ回路。

【請求項 3】

デジタル信号を取り込むデータラッチ回路であって、
並列に接続されたブロック y 及びブロック y' と、前記ブロック y 及びブロック y' の一方の接続部に、入力端子が接続されたインバータと、前記インバータの入力端子及び出力端子の間に設けられた閾値セット用スイッチを有し、前記ブロック y 及び前記ブロック y' はそれぞれ、前記ブロック y 及び前記ブロック y' の入力端子と直列に接続された取り込み用スイッチ及び容量手段と、前記取り込み用スイッチと前記容量手段との接続部に基準電位を取り込むリファレンス用スイッチを有し、前記容量手段の他方は前記ブロック y 及び前記ブロック y' の出力端子であり、前記基準電位の一方は前記デジタル信号の 1 の電位を用い、他方は前記デジタル信号の 0 の電位を用いることを特徴とするデータラッチ回路。

【請求項 4】

デジタル信号を取り込むデータラッチ回路であって、

並列に接続されたブロック z 及びブロック z' と、前記ブロック z 及びブロック z' の一方の接続部に、入力部が接続された第 1 のインバータと、前記第 1 のインバータの入力端子及び出力端子の間に設けられた第 1 の閾値セット用スイッチを有し、前記ブロック z 及び前記ブロック z' はそれぞれ、前記ブロック z 及び前記ブロック z' の入力端子と直列に接続された取り込み用スイッチ、第 1 の容量手段、第 2 のインバータ及び第 2 の容量手段と、前記取り込み用スイッチと前記第 1 の容量手段との接続部に基準電位を取り込むリファレンス用スイッチと、前記第 2 のインバータの入力端子及び出力端子の間に設けられた第 2 の閾値セット用スイッチを有し、前記第 2 の容量手段の他方は前記ブロック z 及び前記ブロック z' の出力端子であり、

前記基準電位の一方は前記デジタル信号の 1 の電位を用い、他方は前記デジタル信号の 0 の電位を用いることを特徴とするデータラッチ回路。

【請求項 5】

請求項 4 において、

前記ブロック z 内の、第 2 のインバータの入力部と前記ブロック z' 内の第 2 のインバータの入力部とを容量手段を介し接続することを特徴とするデータラッチ回路。

【請求項 6】

請求項 1 乃至請求項 5 において、

前記リセット期間を前段のシフトレジスタからのサンプリングパルスを用い決定し、前記取り込み期間を自段のシフトレジスタからのサンプリングパルスを用い決定することを特徴とするデータラッチ回路。

【請求項 7】

請求項 1 乃至 6 において、

前記デジタル信号の振幅が前記データラッチに用いられる電源電圧幅と比較して小さいことを特徴とするデータラッチ回路。

【請求項 8】

請求項 1 乃至 7 において、

取り込んだ前記デジタル信号を、インバータとループ状に接続したクロックドインバータを用いて保持することを特徴とするデータラッチ回路。

【請求項 9】

請求項 8 において、

前記クロックドインバータの制御端子 1 または制御端子 2 に、シフトレジスタからの出力パルスを用いることを特徴とするデータラッチ回路。

【請求項 10】

請求項 1 乃至請求項 9 において、

前記データラッチ回路は薄膜トランジスタ (TFT) により形成されることを特徴とするデータラッチ回路。

【請求項 11】

請求項 1 乃至 10 に記載のデータラッチ回路を用いたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、映像信号を入力して映像表示を行うアクティブマトリクス型表示装置に関する。さらに、デジタル信号を取り込むデータラッチ回路に関する。

【0002】

【従来の技術】

近年、液晶表示装置や発光装置などのアクティブマトリクス型表示装置は、携帯機器向け等の需要の増加から開発が進められている。特に絶縁体上に多結晶半導体（ポリシリコン）により形成されたトランジスタを用い、画素及び駆動回路（以下、内部回路と称する。）を一体形成する技術は活発に開発が進められている。内部回路はソース信号線駆動回路、ゲート信号線駆動回路等を有し、マトリクス状に配置された画素を制御する。

【0003】

また、内部回路はFPC等を介してコントローラIC等（以下、外部回路と称

する。)と接続され、その動作が制御される。一般的に、内部回路の駆動電圧と比較して、外部回路に用いる IC は低消費電力化の観点から信号の振幅が小さくなっている。現状では、通常外部回路には 3.3 V 電圧の信号の IC が用いられるが、内部回路の電源電圧は 10 V 程度である。そのため、3.3 V の信号を内部回路に入力する際、レベルシフト回路等で振幅を 10 V 程度の振幅に変換する必要がある。

【0004】

しかし、外部回路でレベルシフトする場合にはレベルシフト IC、電源 IC 等の部品の増加、消費電力の増加等の問題が生じ、内部回路において、シフトレジスタやラッチ回路等に入力する前にレベルシフトする場合には、レイアウト面積の増加、消費電力の増加、高周波動作が困難等の問題が生じる。よって、外部回路からの低電圧の振幅の信号をそのままシフトレジスタやラッチ回路等に入力して、正確に動作させることが求められている。(以下、低電圧駆動と称する。)

【0005】

アクティブマトリクス型表示装置における駆動方法としては、デジタル駆動方式とアナログ駆動方式がある。デジタル駆動方式を用いる場合、ソース信号線駆動回路内には、シフトレジスタからのサンプリングパルスによって順次デジタルの映像信号を取り込むデータラッチ回路が必要となる。

【0006】

データラッチ回路には、低電圧入力を考慮したものもある。(例えば、特許文献 1 参照。)しかし、TFT 特性のばらつきの影響により、誤作動してしまう場合がある。また、一般的な従来型データラッチ回路を図 2 (A) に示す。

【0007】

前記データラッチ回路はクロックドインバータ 2005、インバータ 2006 を有し、前記クロックドインバータ 2005 は直列に接続された P 型 TFT 2001 及び 2002、N 型 TFT 2003 及び 2004 を有する。P 型 TFT 2001 のゲート電極にはシフトレジスタからのサンプリングパルス (LAT) が入力され、ソース電極は VDD に接続されている。N 型 TFT 2004 のゲート電極には LAT の反転パルス、LATB が入力され、ソース電極は VSS に接続さ

れている。P型TFT2002及びN型TFT2003のゲート電極にはデジタル信号DATAが入力され、ドレイン電極はインバータ2006に接続されている。

【0008】

図2(B)に従来形データラッチ回路のタイミングチャートを示す。図2(A)、(B)を用い従来型データラッチ回路の動作を説明する。入力されるデジタル信号、本発明のラッチ回路が出力する信号はともにデジタル形式であり、それぞれ"1"を表現する電位と、"0"を表現する電位とを有する。本明細書においては、いずれの場合にもその電位を問わず、"1"を表現する電位レベルをHレベル、"0"を表現する電位レベルをLレベルと表記する。なお、特別の記載がない限り、その電位の高低は、Lレベル<Hレベルとする。

【0009】

まず期間T1において、シフトレジスタからサンプリングパルス、LATが入力され、LATがHレベル、LATBがLレベルとなり、N型TFT2001、P型TFT2004がオンする。この時DATAがHレベルであると、P型TFT2002がオフ、N型TFT2003がオンし、クロックドインバータ2005はVSSを出力する。逆にDATAがLレベルであると、P型TFT2002がオン、N型TFT2003がオフし、クロックドインバータ2005はVDDを出力する。

【0010】

【特許文献1】

特開平11-184440

【0011】

【発明が解決しようとする課題】

前記従来型データラッチ回路において、低電圧駆動を行う場合、つまり外部回路からのデジタル信号DATAをそのまま入力する場合について、その駆動を図2(A)、(B)を用いて説明する。VSSは-2V、VDDは5V、LAT及びLATBのHレベルは5V、Lレベルは-2V、DATAのHレベルは3V、Lレベルは0Vとする。

【0012】

まず期間T1において、シフトレジスタからサンプリングパルス、LATが入力され、LATがHレベル（5V）、LATBがLレベル（-2V）となり、N型TFT2001、P型TFT2004がオンする。この時DATAがHレベル（3V）であると、P型TFT2002がオフ、N型TFT2003がオンし、クロックインバータ2005はVSSを出力する。しかしこの時、P型TFT2002の $|V_{TH}|$ が2V以下であると、P型TFT2002もオンしてしまいリーク電流が流れる。

【0013】

さらに、TFTの特性がばらつき、P型TFT2002のオン電流（ $|V_{gs}| = 2V$ ）がN型TFT2003のオン電流（ $|V_{gs}| = 5V$ ）を上回ると、論理が逆転し、クロックインバータ2005の出力がVDDとなってしまう。

【0014】

反対にDATAがLレベル（0V）であり、N型TFT2003の $|V_{TH}|$ が2V以下であると、N型TFT2003もオンしてしまいリーク電流が流れ、またP型TFT2002とN型TFT2003のオン電流によっては論理が逆転してしまう。

【0015】

本発明は上記の問題点を鑑みてなされたものであり、TFTの特性ばらつきの影響を受けにくく、低消費電力、高周波動作が可能なデータラッチ回路を提供することを課題とするものである。

【0016】

【課題を解決するための手段】

本発明は、データラッチ回路各段において、デジタル入力信号のHレベル、Lレベルを判定するインバータの閾値電位を予め取得し、前記閾値電位から上下どちらに変動するかによりデジタル信号Hレベル、Lレベルの判定をすることを特徴とする。よって、電源電圧幅に対して入力信号の振幅が小さくても、TFTの特性ばらつきの影響を受けることなく、正確に動作することができる。

【0017】

本発明の構成を以下に記す。

【0018】

本発明のデータラッチ回路は、直列に接続された、容量手段及びインバータと、前記インバータの入力端子及び出力端子の間に設けられたスイッチを有し、リセット期間において、前記スイッチがオンし、前記インバータの閾値電圧が取得され、前記容量手段の第1の電極が前記閾値電圧となり、前記容量手段の第2の電極に基準電位が入力され、取り込み期間において、前記容量手段の第1の電極にデジタル信号が入力され、前記基準電位からの電位の変動により、前記インバータがHレベル、Lレベルを出力することを特徴としている。

【0019】

本発明によると、前記基準電位は前記デジタル信号のHレベルの電位及びLレベルの電位を用いてもよい。

【0020】

本発明のデータラッチ回路は、並列に接続されたブロック y 及びブロック y' と、前記ブロック y 及びブロック y' の一方の接続部に、入力端子が接続されたインバータと、前記インバータの入力端子及び出力端子の間に設けられた閾値セット用スイッチを有し、前記ブロック y 及び前記ブロック y' はそれぞれ、前記ブロック y 及び前記ブロック y' の入力端子と直列に接続された取り込み用スイッチ及び容量手段と、前記取り込み用スイッチと前記容量手段との接続部に基準電位を取り込むリファレンス用スイッチを有し、前記容量手段の他方は前記ブロック y 及び前記ブロック y' の出力端子であり、前記基準電位の一方は前記デジタル信号のHレベルの電位を用い、他方は前記前記デジタル信号のLレベルの電位を用いることを特徴としている。

【0021】

本発明のデータラッチ回路は、並列に接続されたブロック z 及びブロック z' と、前記ブロック z 及びブロック z' の一方の接続部に、入力部が接続された第1のインバータと、前記第1のインバータの入力端子及び出力端子の間に設けられた第1の閾値セット用スイッチを有し、前記ブロック z 及び前記ブロック z' はそれぞれ、前記ブロック z 及び前記ブロック z' の入力端子と直列に接続され

た取り込み用スイッチ、第1の容量手段、第2のインバータ及び第2の容量手段と、前記取り込み用スイッチと前記第1の容量手段との接続部に基準電位を取り込むリファレンス用スイッチと、前記第2のインバータの入力端子及び出力端子の間に設けられた第2の閾値セット用スイッチを有し、前記第2の容量手段の他方は前記ブロック z 及び前記ブロック z' の出力端子であり、前記基準電位の一方は前記デジタル信号のHレベルの電位を用い、他方は前記前記デジタル信号のLレベルの電位を用いることを特徴としている。

【0022】

本発明によると、前記ブロック z 内の、第2のインバータの入力部と前記ブロック z' 内の第2のインバータの入力部とを容量手段を介し接続してもよい。

【0023】

本発明によると、前記リセット期間を前段のシフトレジスタからのサンプリングパルスを用い決定し、前記取り込み期間を自段のシフトレジスタからのサンプリングパルスを用い決定してもよい。

【0024】

本発明によると、前記デジタル信号の振幅が前記データラッチに用いられる電源電圧幅と比較して小さくてもよい。

【0025】

本発明によると、取り込んだ前記デジタル信号を、インバータとループ状に接続したクロックドインバータを用いて保持してもよい。

【0026】

本発明によると、前記クロックドインバータの制御端子1または制御端子2に、シフトレジスタからの出力パルスを用いてもよい。

【0027】

本発明によると、前記データラッチ回路は薄膜トランジスタ (TFT) により形成してもよい。

【0028】

【発明の実施の形態】

〔実施形態1〕

図 1 (A) に本実施形態のデータラッチ回路の構成を示す。

【0029】

本実施形態のデータラッチ回路はデータ取り込み用スイッチ 1001、リファレンス用スイッチ 1002、閾値セット用スイッチ 1003、容量手段 1004、補正インバータ 1005、インバータ 1006 を有する。

【0030】

本実施形態のデータラッチ回路は直列に接続された、データ取り込み用スイッチ 1001、容量手段 1004、補正インバータ 1005、インバータ 1006 と、リファレンス用スイッチ 1002 及び閾値セット用スイッチ 1003 を有する。データ取り込み用スイッチ 1001 は LAT によりオンオフを制御され、DATA を入力する。リファレンス用スイッチ 1002 は LAT-1 によりオンオフを制御され、基準電位を取り込み、データ取り込み用スイッチ 1001 と容量手段 1004 との接続部に接続されている。補正インバータ 1005 の入力端子、出力端子は閾値セット用スイッチ 1003 を介し、電氣的に接続されており、前記閾値セット用スイッチ 1003 のオンオフは LAT-1 により制御されている。

【0031】

図 1 (B) に本実施形態のデータラッチ回路のタイミングチャートを示す。図 1 (A)、(B) を用い、前記本実施形態のデータラッチ回路を低電圧駆動した場合の動作について説明する。VSS は -2 V、VDD は 5 V、LAT、LATB、LAT-1 及び LAT-1B の H レベルは 5 V、L レベルは -2 V、DATA の H レベルは 3 V、L レベルは 0 V、基準電位は DATA の中間電位、1.5 V とする。また、LAT 及び LAT-1 のパルスは重ならないことが望ましい。

【0032】

まず期間 T1 においてリセット作業を行う。前段のシフトレジスタのサンプリングパルス LAT-1 (5 V) が入力され、リファレンス用スイッチ 1002、閾値セット用スイッチ 1003 がオンする。ノード a は基準電位 (1.5 V) となる。ノード b はノード c の電位がフィードバックされ電位が動かない方向に働くので、補正インバータ 1005 の閾値電位 (ここでは 2 V とする) となる。

【0033】

続いて期間T2に移り、DATAのHレベル、Lレベルを判定する。シフトレジスタからのサンプリングパルスLAT（5V）が入力され、データ取り込み用スイッチ1001がオンする。DATAがHレベル（3V）の場合、aノードの電位が1.5Vから3Vとなる。容量手段1004の両端の電位差は保持されるので、ノードbはノードaの電圧変化分程度変化する。よって、ノードbは2Vから1.5V程度上昇する。

【0034】

図3に一般的なインバータのVIN-VOUT特性を示す。図に示されているように、VINが閾値から上下どちらかに少しでも変動すると、VOUTは大きくVDD又はVSSに近づく。

【0035】

よって、T1期間においてノードbは補正インバータ1005の閾値電位にセットされていたため、ノードbの変化にノードcは敏感に反応する。この場合、ノードbの電位は上昇しているため、ノードcはVSSに大きく近づく。更に、インバータ1006により整形されOUTに出力される。

【0036】

反対に、期間T2においてDATAがLレベル（0V）である場合、ノードaの電位が1.5Vから0Vとなり、ノードbの電位は2Vから1.5V程度下降する。ノードbが閾値電位から下降するため、ノードcはVDDに大きく近づく。更に、インバータ1006により整形されOUTに出力される。

【0037】

また、基準電位が固定電位の場合は、理想的にはデジタル入力信号（ここではDATA）の振幅の中間電位が望ましいが、厳密に中間電位である必要はなく、前記デジタル入力信号の最高電位、最低電位と異なり、かつ、前記デジタル入力信号の振幅を出ない範囲で多少変動させることが可能である。

【0038】

また、基準電位にデジタル信号DATAの反転信号を1データ分前にずらし、入力してもよい。この場合、例えばDATAがHレベル（3V）であると、リセ

ット期間 T1 にノード a が L レベル (0 V) になり、取り込み期間 T2 に DATA、H レベル (3 V) が入力されると、ノード a 及びノード b が 3 V 程度変動し、より補正インバータ 1005 が動作しやすくなる。DATA が L レベル (0 V) であっても、リセット期間 T1 にノード a が H レベル (3 V) となり、取り込み期間 T2 に DATA、L レベル (0 V) が入力されるため、同様にノード a 及びノード b が 3 V 程度変動する。

【0039】

本実施形態の通り、データラッチ回路において、DATA の H レベル、L レベルを判定するインバータの閾値電位を予め取得し、前記閾値電位から上下どちらに変動するかによりデジタル信号 H レベル、L レベルの判定をすることにより、電源電圧幅に対して入力信号の振幅が小さくても、TFT の特性ばらつきによる閾値変動の影響を受けることなく、正確に動作することができる。よって、低消費電力化、高周波動作が可能となる。特に、TFT 特性ばらつきの多い、ポリシリコン TFT を用いたデータラッチ回路に用いることが望ましい。

【0040】

[実施形態 2]

図 1 (A) に示すデータラッチ回路を使用する際、図 6 (A) 及び (B) に示すようにクロックドインバータ等を用い、保持を行ってもよいし、容量手段を用い、保持を行ってもよい。

【0041】

クロックドインバータを図 10 に示す。クロックドインバータ 10001 は直列に接続された第 1 の P 型 TFT 10002、第 2 の P 型 TFT 10003、第 1 の N 型 TFT 10004 及び第 2 の N 型 TFT 10005 を有する。第 1 の P 型 TFT 10002 のゲート電極に入力されている端子は制御端子 1 とし、第 2 の P 型 TFT 10003 及び第 1 の N 型 TFT 10004 のゲート電極に入力されている端子は入力端子とし、第 2 の N 型 TFT 10005 のゲート電極に入力されている端子を制御端子 2 とし、第 2 の P 型 TFT 10003 及び第 1 の N 型 TFT 10004 の接続部端子を出力端子とする。

【0042】

図 6 (A) は図 1 (A) に容量手段 6003 及びクロックドインバータ 6002 を追加し、クロックドインバータ 6002 をインバータ 6001 とループ状に接続したものである。クロックドインバータ 6002 の制御端子 1 には保持用パルス HOLD が、制御端子 2 には前記 HOLD の反転パルス HOLD B が入力される。その他の部分については図 1 (A) と同様である。

【0043】

図 6 (B) は図 1 (A) にクロックドインバータ 6102 を追加し、インバータ 6101 とループ状に接続したものである。クロックドインバータ 6102 の制御端子 1 には保持用パルス HOLD が、制御端子 2 には前記 HOLD の反転パルス HOLD B が入力される。その他の部分については図 1 (A) と同様である。

【0044】

前記 HOLD パルスはタイミングチャート図 6 (C) に示す、6201 または 6202 等のパルスが望ましく、シフトレジスタの出力パルス等を用いるとよい。動作としては、取り込み期間が終了した後、クロックドインバータ 6002 及び 6102 がオンし、保持動作を開始する。

【0045】

本実施形態の通り、クロックドインバータ等を用い保持を行うことで、所望の期間、H レベル、L レベルを正確に保持することができる。

【0046】

[実施形態 3]

図 1 (A) の x を並列に 2 つ接続し、基準電位の入力部を一方はデジタル入力信号の最高電位 (DATA の H レベルと同電位) に、他方は前記デジタル入力信号の最低電位 (DATA の L レベルと同電位) に変更した場合について、図 7 に示す。

【0047】

本実施形態のデータラッチ回路は、並列に接続されたブロック y 及びブロック y' と、前記ブロック y 及びブロック y' の一方の接続部に、入力部が接続された補正インバータ 7008、前記補正インバータ 7008 と直列に接続されたイ

ンバータ7009と、閾値セット用スイッチ7007、クロックドインバータ7010を有する。ブロックyは直列に接続された、第1のデータ取り込み用スイッチ7001及び第1の容量手段7005と、その接続部にDHを入力する第1のリファレンス用スイッチ7003を有し、ブロックy'は直列に接続された、第2のデータ取り込み用スイッチ7002及び第2の容量手段7006と、その接続部にDLを入力する第2のリファレンス用スイッチ7004を有する。

【0048】

また、第1のデータ取り込み用スイッチ7001及び第2のデータ取り込み用スイッチ7002はLATによりそのオンオフを制御され、DATAを取り込む。第1のリファレンス用スイッチ7003、第2のリファレンス用スイッチ7004及び閾値セット用スイッチ7007はLAT-1によりオンオフを制御されている。閾値セット用スイッチ1003は補正インバータ1005の入力端子、出力端子の間に設けられている。

【0049】

まずリセット期間T1において、LAT-1がHレベル(5V)となり、第1のリファレンス用スイッチ、第2のリファレンス用スイッチ及び閾値セット用スイッチがオンし、ノードaがDHの電位(3V)となり、ノードa'がDLの電位(0V)となる。また、ノードbは補正インバータ7008の閾値電圧(ここでは2Vとする)となる。

【0050】

続いてデータ取り込み期間T2において、LATがHレベル(5V)となり、第1のデータ取り込み用スイッチ7001及び第2のデータ取り込み用スイッチ7002がオンする。DATAがHレベル(3V)である場合、ノードaは3Vのまま変化せず、ノードa'は0Vから3Vに変化する。そのため、ノードbは2Vから1.5V程度上昇する。よって、ノードcはVSS(-2V)に大きく近づく。

【0051】

反対にDATAがLレベル(0V)である場合、ノードaは3Vから0Vに変化し、ノードa'は0Vのまま変化しない。そのため、ノードbは2Vから1.

5 V 程度下降する。よって、ノード c は VDD (5 V) に大きく近づく。

【0052】

本実施形態のデータラッチ回路を用いることで、基準電位に用いる中間電位が不要であるため、電源数の削減に有効である。

【0053】

[実施形態 4]

実施形態 1～3 とは異なる構成の、本実施形態のデータラッチ回路を図 8 (A) に示す。

【0054】

本実施形態のデータラッチ回路は、並列に接続されたブロック z 及びブロック z' と、前記ブロック z 及びブロック z' の一方の接続部に、入力部が接続された第 1 の補正インバータ 8001 と、第 1 の補正インバータ 8001 と直列に接続されたインバータ 8002 と、第 1 の補正インバータ 8001 の入力端子及び出力端子の間に設けられた第 1 の閾値セット用スイッチ 8003 を有する。

【0055】

また、ブロック z は直列に配置された第 1 の取り込み用スイッチ 8004、第 1 の容量手段 8008、第 2 の補正インバータ 8010 及び第 3 の容量手段 8012 と、第 1 の取り込み用スイッチ 8004 と第 1 の容量手段 8008 との接続部に DH (DATA の H レベルと同電位) を取り込む第 1 のリファレンス用スイッチ 8006 と、第 2 の補正インバータ 8010 の入力端子及び出力端子の間に設けられた第 2 の閾値セット用スイッチ 8014 を有し、ブロック z' は直列に配置された第 2 の取り込み用スイッチ 8005、第 2 の容量手段 8009、第 3 の補正インバータ 8011 及び第 4 の容量手段 8013 と、第 2 の取り込み用スイッチ 8005 と第 2 の容量手段 8009 との接続部に DL (DATA の L レベルと同電位) を取り込む第 2 のリファレンス用スイッチ 8007 と、第 3 のインバータ 8011 の入力端子及び出力端子の間に設けられた第 3 の閾値セット用スイッチ 8015 を有する。

【0056】

ブロック z 及びブロック z' の他方の接続部に DATA が入力され、第 1 の取

り込み用スイッチ 8004 及び第 2 の取り込み用スイッチ 8005 はオンオフを LAT により制御され、第 1 のリファレンス用スイッチ 8006、第 2 のリファレンス用スイッチ 8007、第 2 の閾値セット用スイッチ 8014 及び第 3 の閾値セット用スイッチ 8015 はオンオフを LAT-1 により制御されている。

【0057】

図 1 (B) のタイミングチャートを用い、動作を説明する。

【0058】

まず、リセット期間 T1 において、LAT-1 が H レベル (VDD) となり、ノード a が DH の電位、ノード a' が DL の電位、ノード a2 及びノード a3 が第 2 の補正インバータ 8010 の閾値電位、ノード a2' 及びノード a3' が第 3 の補正インバータ 8011 の閾値電位となる。

【0059】

続いて、データ取り込み期間 T2 において、LAT が H レベル (VDD) となり、DATA が取り込まれる。DATA が H レベルの場合は、ノード a 及びノード a2 の電位は変わらず、ノード a' は D-L から H レベルとなり、ノード a2' は DATA の振幅分程度上昇する。ノード a3' は VSS に大きく近づき、ノード b の電位も下降する。よって、ノード c は VDD に大きく近づく。

【0060】

反対に DATA が L の場合は、ノード a' 及び、ノード a2' の電位は変わらず、ノード a は DH から L レベルとなり、ノード a2 は DATA の振幅分程度下降する。ノード a3 は VDD に大きく近づき、ノード b の電位も上昇する。よって、ノード c は VSS に大きく近づく。

【0061】

また、DATA が H レベルの場合のノード a2 や、DATA が L レベルの場合のノード a2' が、DATA 取り込みの際のスイッチングノイズ等により変動してしまい、誤動作してしまう場合は、図 8 (B) に示すように、ノード a2 及びノード a2' の間に第 5 の容量手段 8016 を設けると良い。容量手段 8007 によって、ノード a2 及びノード a2' が同じ方向に変動し、誤動作を防ぐ。

【0062】

本実施形態に示したデータラッチ回路を使用することで、基準電位に用いる中間電位が不要となる。また、デジタル入力信号(DATA)の振幅が、電源電圧幅と比較し、更に小さくなくても、より正確な動作を行うことができる。

【0063】

1～4の実施形態において、ここでは例として、データ取り込み用スイッチ、リファレンス用スイッチ、閾値セット用スイッチがN型TFTの場合を説明したが、電源電圧値、信号電圧値、信号振幅によっては全てをP型TFTまたはアナログスイッチに置換してもよいし、いくつかを置換してもよい。

【0064】

また、リセット用のパルスLAT-1は1段前のシフトレジスタからのサンプリングパルスとしたが、複数段前のシフトレジスタからのサンプリングパルスでもよいし、リセット用にパルスを入力してもよい。また、全段一度にリセットしてもよい。電圧設定もまた、これに限らない。

【0065】

【実施例】

以下に、本発明の実施例について記載する。

【0066】

[実施例1]

アクティブマトリクス型表示装置にデータラッチ回路が使用される場合、その構成と駆動について説明する。

【0067】

図4に外部回路のブロック図とパネルの概略図を示す。ここでは例として、パネルは有機ELパネルとする。

【0068】

図4に示すように、アクティブマトリクス型表示装置は外部回路4004及びパネル4010を有する。外部回路4004はA/D変換部4001、電源部4002及び信号生成部4003を有する。A/D変換部4001はアナログ信号で入力された映像データ信号をデジタル信号に変換し、ソース信号線駆動回路4006へ供給する。電源部4002はバッテリーやコンセントより供給された電

源から、それぞれ所望の電圧値の電源を生成し、ソース信号線駆動回路4006、ゲート信号線駆動回路4007、EL素子4011、信号生成部4003等に供給する。信号生成部4003には、電源、映像信号及び同期信号等が入力され、各種信号の変換を行う他、ソース信号線駆動回路4006及びゲート信号線駆動回路4007を駆動するためのクロック信号等を生成する。

【0069】

外部回路4004からの信号及び電源はFPCを通し、パネル4010内のFPC接続部4005から内部回路、EL素子4011等に入力される。

【0070】

また、パネル4010はガラス基板4008上に、FPC接続部4005、内部回路が配置され、また、EL素子4011を有する。内部回路はソース信号線駆動回路4006、ゲート信号線駆動回路4007及び画素部4009を有する。

【0071】

基板中央には画素部4009が配置され、その周辺には、ソース信号線駆動回路4006及びゲート信号線駆動回路4007が配置されている。EL素子4011及び、前記EL素子の対向電極は画素部4009全体面に形成されている。

【0072】

より詳しく、図5にソース信号線駆動回路4006のブロック図を示す。

【0073】

ソース信号線駆動回路4006はD-フリップフロップ5001を複数段用いてなるシフトレジスタ5002、データラッチ回路5003、ラッチ回路5004、レベルシフタ5005及びバッファ5006等を有する。前記データラッチ回路5003部に本発明の実施形態に挙げたいずれかのラッチ回路を採用することができる。ここでは、データラッチ回路5003に採用した場合について説明するが、前記ラッチ回路をラッチ回路5004に採用してもよい。

【0074】

入力される信号はクロック信号線(SCK)、反転クロック信号線(SCKB)、スタートパルス(SSP)、デジタル映像信号(DATA)及びラッ

チパルス (L a t c h P u l s e) であり、また、基準電位にはデジタル映像信号の振幅の中間電位を入力するものとする。

【0075】

まず、クロック信号、クロック反転信号及びスタートパルスのタイミングに従って、シフトレジスタ 5002 より、順次サンプリングパルスが出力される。サンプリングパルスはデータラッチ回路 5004 へ入力される。データラッチ回路 5004 は 1 段前のサンプリングパルスによってリセットされ、続いて、自段のサンプリングパルスが入力されたタイミングで、デジタル映像信号を取り込み、保持する。この動作が一行目から順に行われる。

【0076】

最終段のデータラッチ回路 5003 においてデジタル映像信号の保持が完了すると、水平帰線期間中にラッチパルスが入力され、データラッチ回路 5003 において保持されているデジタル映像信号は一斉にラッチ回路 5004 へと転送される。その後、レベルシフタ 5005 においてレベルシフトされ、バッファ 5006 において整形された後、ソース信号線 S1 から S_n へ一斉に出力される。その際、ゲート信号線駆動回路 4007 によって選択された行の画素へ、H レベル、L レベルが入力され、E L 素子 4011 の発光、非発光を制御する。

【0077】

本実施例にて示したアクティブマトリクス型表示装置はパネル 4010 と外部回路 4004 が独立されているが、これらを同一基板上に一体形成して作製してもよい。また、表示装置は例として、有機 E L を使用したものとしたが、有機 E L 以外の発光素子を利用した発光装置でもよいし、液晶表示装置でもよい。また、ソース信号線駆動回路 4006 内にレベルシフタ 5005 及びバッファ 5006 が無くてもよい。

【0078】

[実施例 2]

本発明の表示装置は様々な電子機器の表示部に用いることができる。特に低消費電力が要求されるモバイル機器には本発明の表示装置を用いることが望ましい。

【0079】

具体的に前記電子機器として、携帯情報端末（携帯電話、モバイルコンピュータ、携帯型ゲーム機または電子書籍等）、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、表示ディスプレイ、ナビゲーションシステム等が挙げられる。これら電子機器の具体例を図8に示す。

【0080】

図8（A）表示ディスプレイであり、筐体8001、音声出力部8002、表示部8003等を含む。本発明の表示装置は表示部8003に用いることができる。表示装置は、パソコン用、TV放送受信用、広告表示用など全ての情報表示装置が含まれる。

【0081】

図8（B）はモバイルコンピュータであり、本体8101、スタイラス8102、表示部8103、操作ボタン8104、外部インターフェイス8105等を含む。本発明の表示装置は表示部8103に用いることができる。

【0082】

図8（C）はゲーム機であり、本体8201、表示部8202、操作ボタン8203等を含む。本発明の表示装置は表示部8202に用いることができる。

【0083】

図（D）は携帯電話であり、本体8301、音声出力部8302、音声入力部8303、表示部8304、操作スイッチ8305、アンテナ8306等を含む。本発明の表示装置は表示部8304に用いることができる。

【0084】

以上のように、本発明の表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【0085】**【発明の効果】**

本発明のラッチ回路によって、電源電圧幅に対して入力信号の振幅が小さくても、TFTの特性ばらつきによる閾値変動の影響を受けることなく、正確に動作することができる。よって、外部回路からの信号をレベルシフトする必要がなく

、低消費電力化、レイアウト面積の縮小、コストダウンを実現することができる。さらに、TFTの特性ばらつきの影響を受けにくく、正確な動作を行うことができる。

【図面の簡単な説明】

- 【図 1】 本発明の一実施形態を示す図。
- 【図 2】 従来型データラッチ回路を示す図。
- 【図 3】 一般的なインバータのVIN-VOUT特性を示す図。
- 【図 4】 外部回路とパネルの概要を示す図。
- 【図 5】 ソース信号線駆動回路の一構成例を示す図。
- 【図 6】 本発明の一実施形態を示す図。
- 【図 7】 本発明の一実施形態を示す図。
- 【図 8】 本発明の一実施形態を示す図。
- 【図 9】 本発明が適用可能な電子機器の例を示す図。
- 【図 10】 クロックドインバータを示す図。

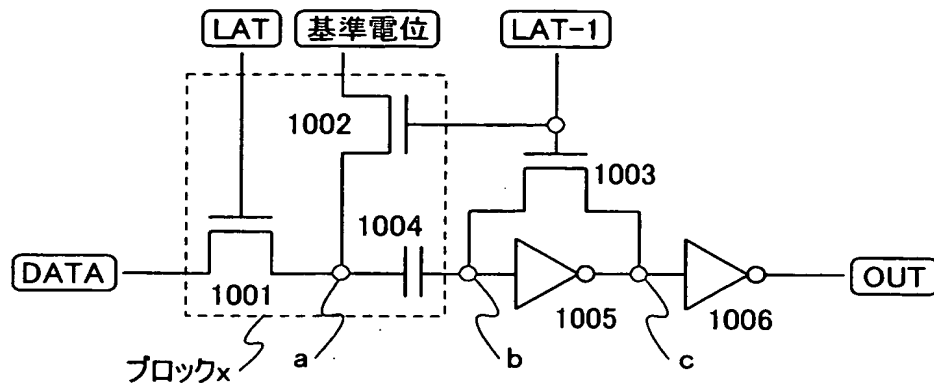
【符号の説明】

- 1001 データ取り込み用スイッチ
- 1002 リファレンス用スイッチ
- 1003 閾値セット用スイッチ
- 1004 容量手段
- 1005 補正インバータ
- 1006 インバータ

【書類名】 図面

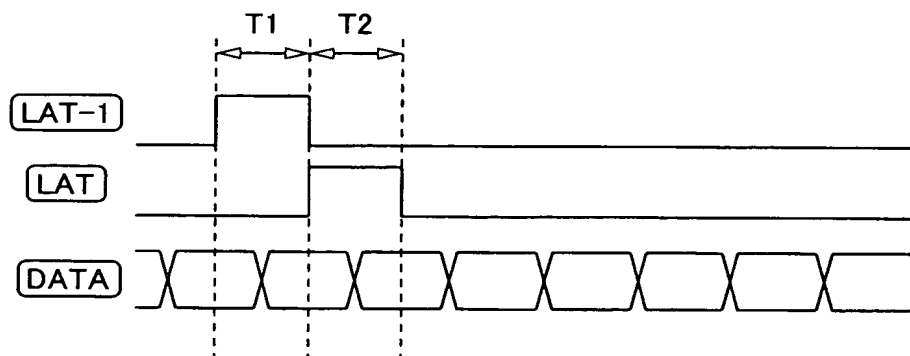
【図 1】

(A)



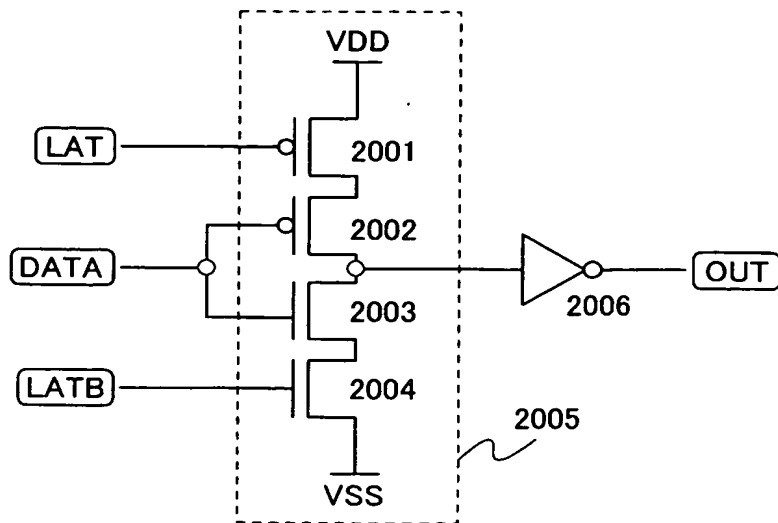
1001 : データ取り込み用スイッチ
1002 : リファレンス用スイッチ
1003 : 閾値セット用スイッチ
1004 : 容量手段
1005 : 補正インバータ
1006 : インバータ

(B)



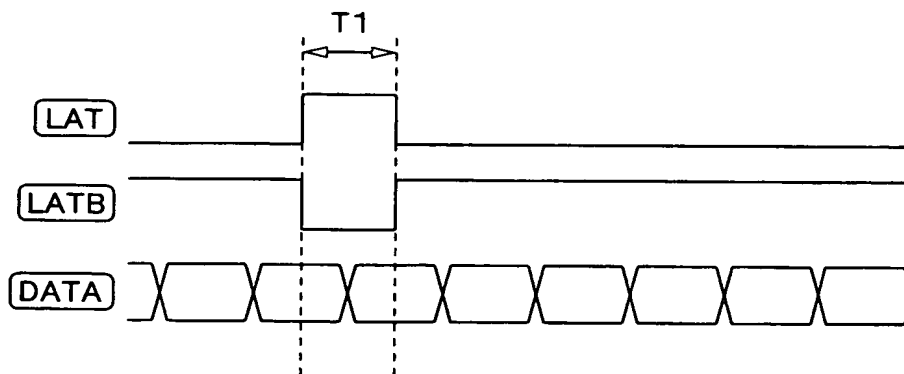
【図 2】

(A)

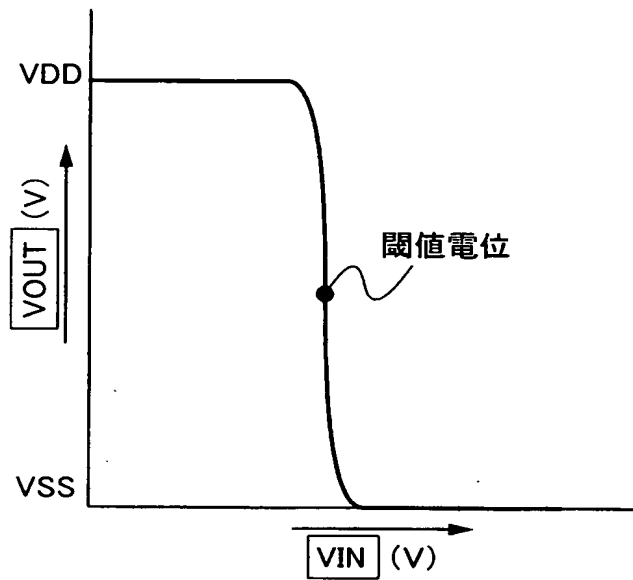
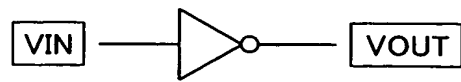


2001,2002 : P型TFT
2003,2004 : N型TFT
2005 : クロックドインバータ
2006 : インバータ

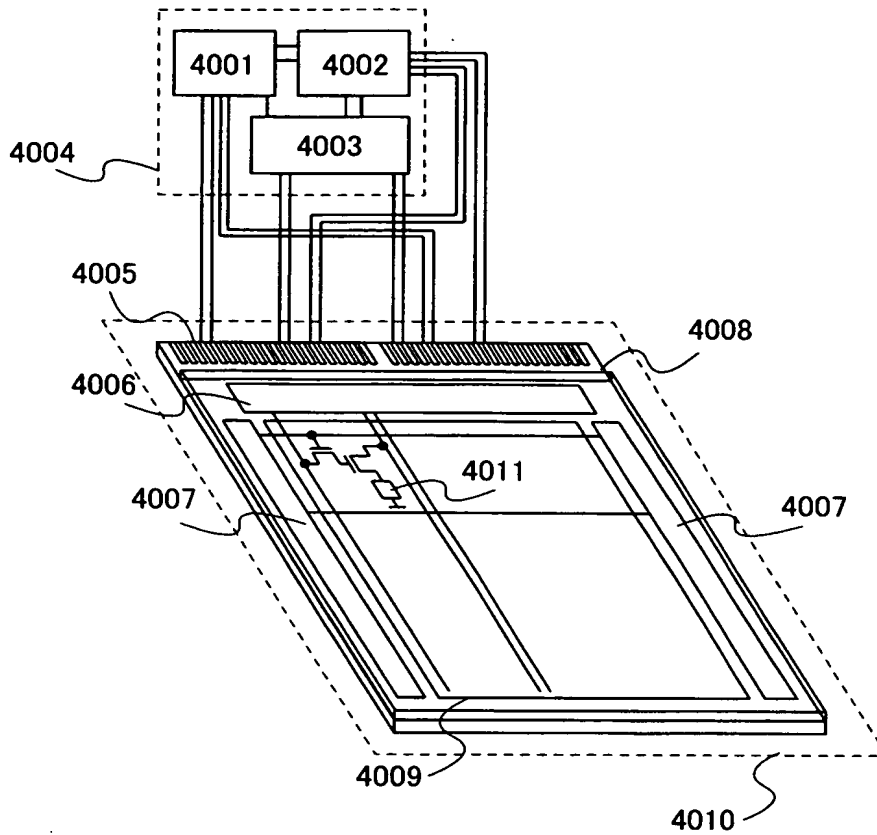
(B)



【図 3】

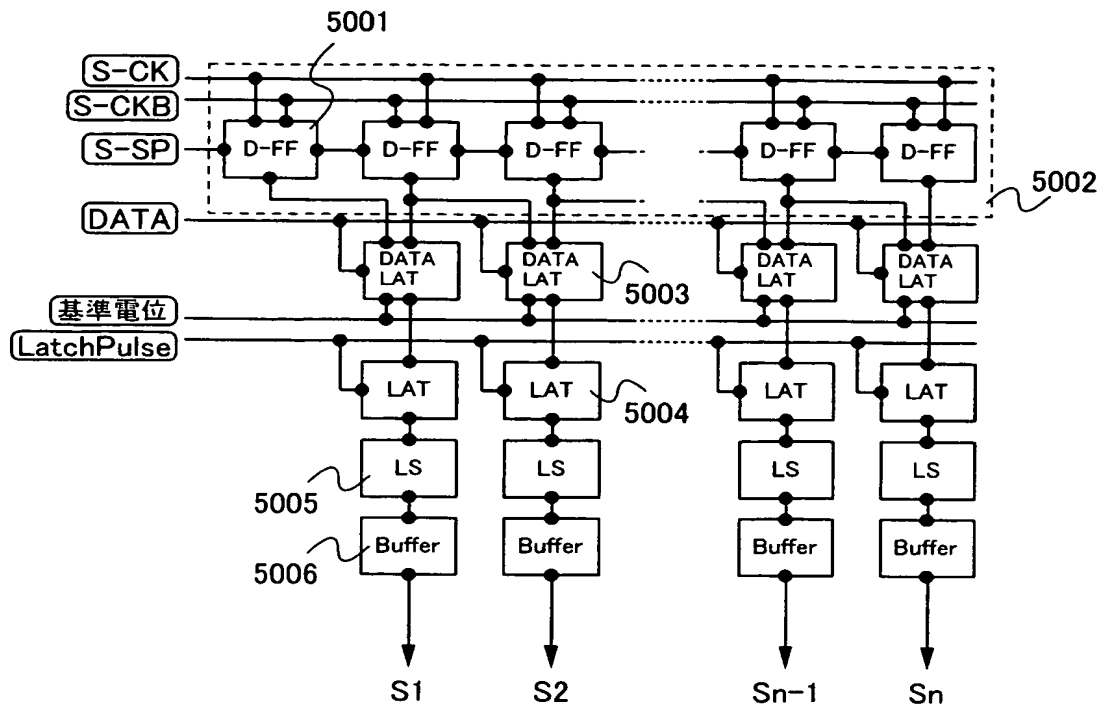


【図 4】



- 4001 : A/D変換部
- 4002 : 電源部
- 4003 : 信号生成部
- 4004 : 外部回路
- 4005 : FPC接続部
- 4006 : ソース信号線駆動回路
- 4007 : ゲート信号線駆動回路
- 4008 : 基板
- 4009 : 画素部
- 4010 : パネル
- 4011 : EL素子

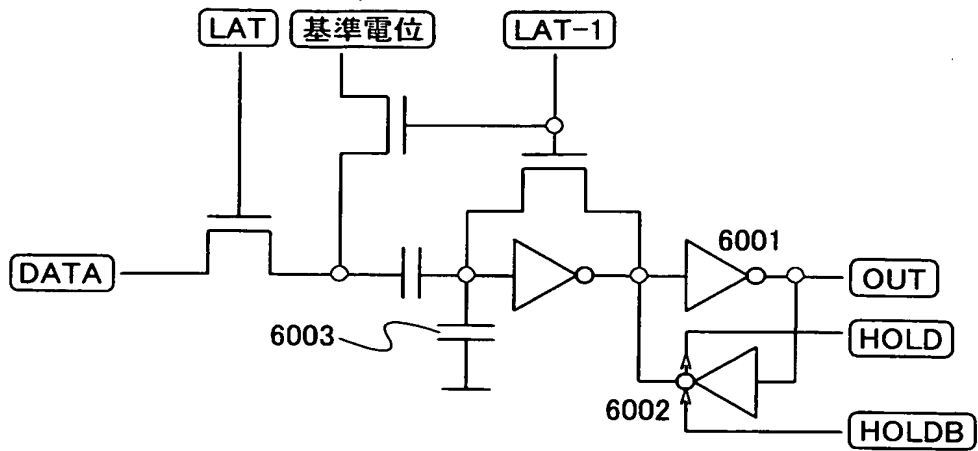
【図 5】



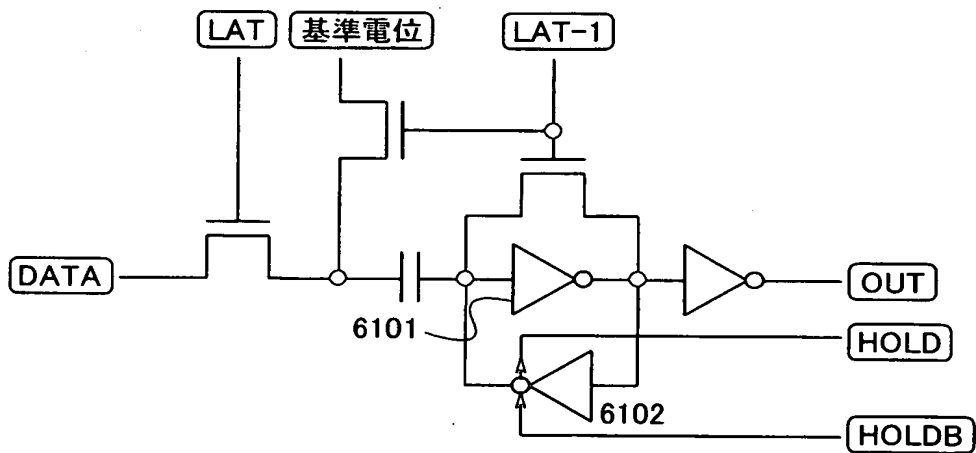
- 5001 : D-フリップフロップ
 5002 : シフトレジスタ
 5003 : データラッチ回路
 5004 : ラッチ回路
 5005 : レベルシフタ
 5006 : バッファ

【図 6】

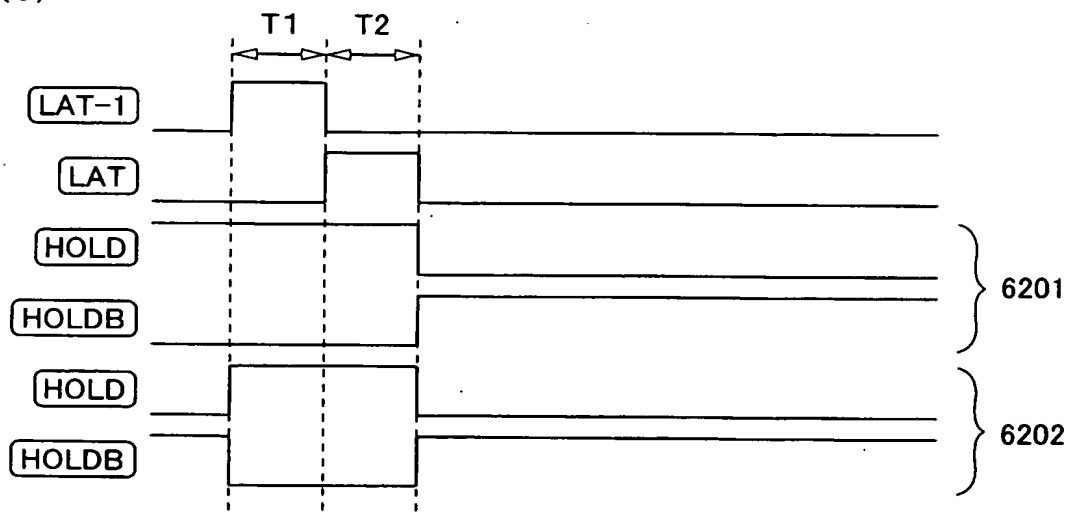
(A)



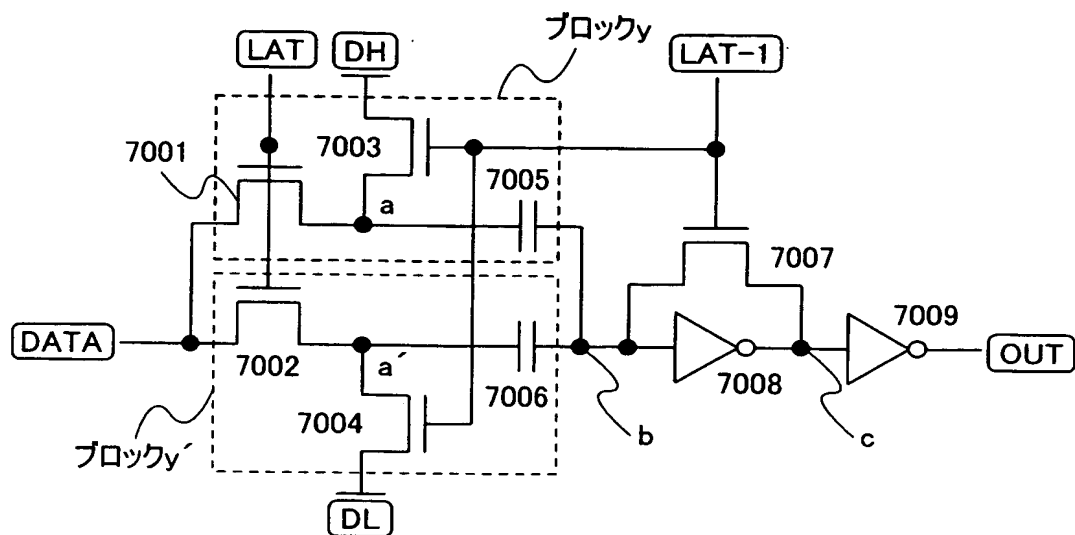
(B)



(C)



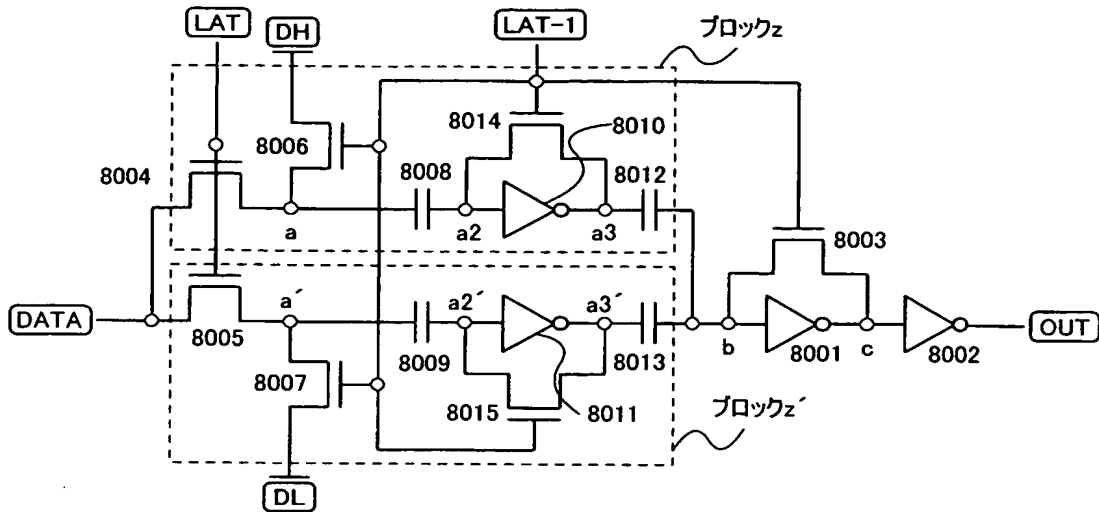
【図 7】



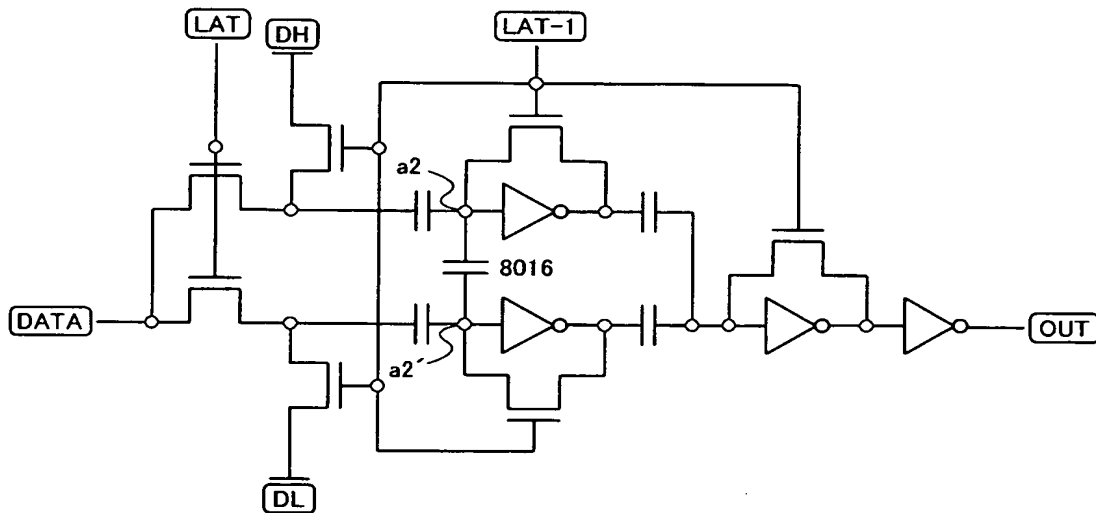
- 7001: 第1のデータ取り込み用スイッチ
- 7002: 第2のデータ取り込み用スイッチ
- 7003: 第1のリファレンス用スイッチ
- 7004: 第2のリファレンス用スイッチ
- 7005: 第1の容量手段
- 7006: 第2の容量手段
- 7007: 閾値セット用スイッチ
- 7008: 補正インバータ
- 7009: インバータ

【図 8】

(A)



(B)

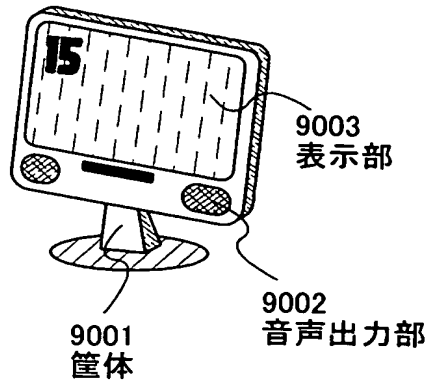


8001 : 第1の補正インバータ
 8002 : インバータ
 8003 : 第1の閾値セット用スイッチ
 8004 : 第1の取り込み用スイッチ
 8005 : 第2の取り込み用スイッチ
 8006 : 第1のリファレンス用スイッチ
 8007 : 第2のリファレンス用スイッチ
 8008 : 第1の容量手段

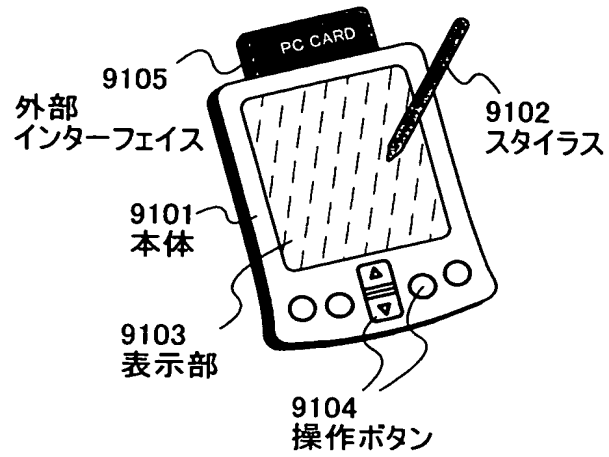
8009 : 第2の容量手段
 8010 : 第2の補正インバータ
 8011 : 第3の補正インバータ
 8012 : 第3の容量手段
 8013 : 第4の容量手段
 8014 : 第2の閾値セット用スイッチ
 8015 : 第3の閾値セット用スイッチ
 8016 : 第5の容量手段

【図 9】

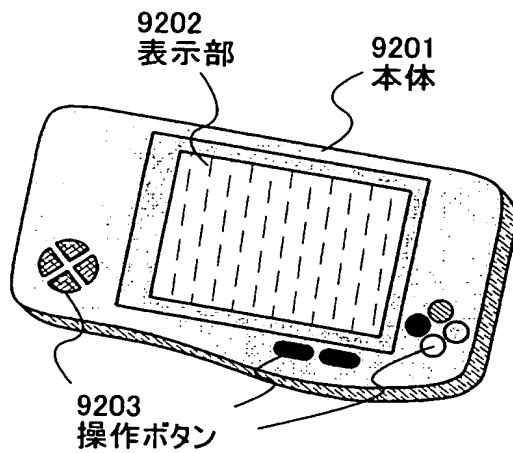
(A)



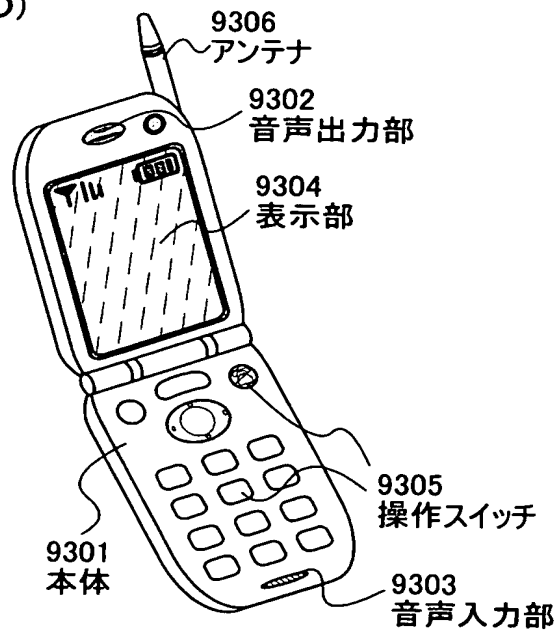
(B)



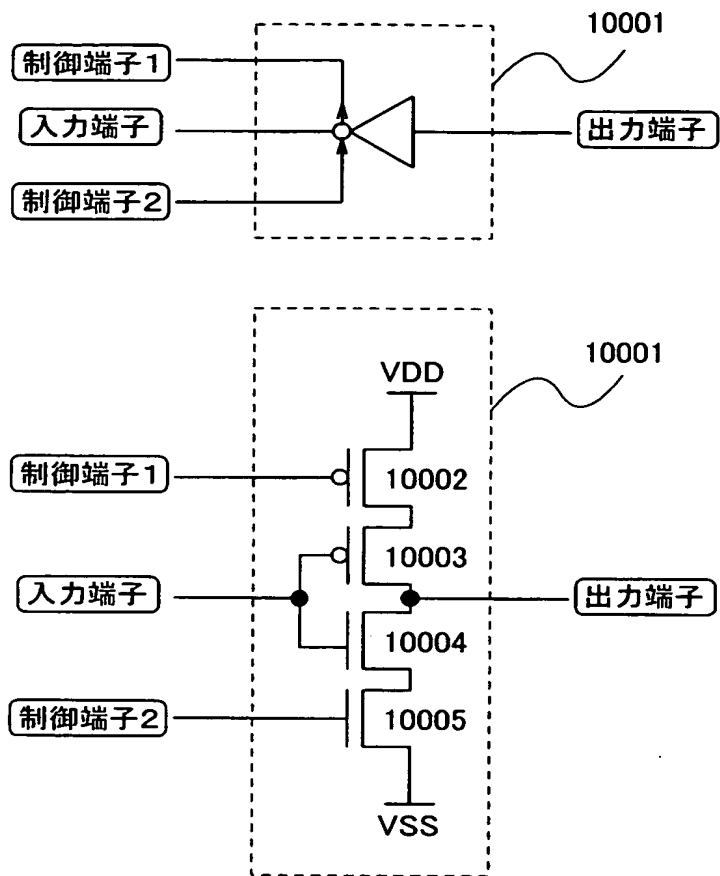
(C)



(D)



【図 10】



10001: クロックインバータ
10002: 第1のP型TFT
10003: 第2のP型TFT
10004: 第1のN型TFT
10005: 第2のN型TFT

【書類名】 要約書

【要約】

【課題】 デジタルデータ信号を低電圧で入力した場合でも、T F T特性のばらつきの影響を受けることなく、正確に動作するデータラッチ回路を提供する。

【解決方法】 本発明は、データラッチ回路各段において、デジタル入力信号のHレベル、Lレベルを判定するインバータの閾値電位を予め取得し、前記閾値電位から上下どちらに変動するかによりデジタル信号Hレベル、Lレベルの判定をすることを特徴とする。よって、電源電圧幅に対して入力信号の振幅が小さくても、T F Tの特性ばらつきの影響を受けることなく、正確に動作することができる。

【選択図】 図 1

特願 2 0 0 2 - 3 5 1 6 7 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所